

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-125084

(43) Date of publication of application : 06.05.1994

(51) Int.CI.

H01L 29/784
G02F 1/136
H01L 27/146
H01L 21/336

(21) Application number : 04-297651

(71) Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22) Date of filing : 09.10.1992

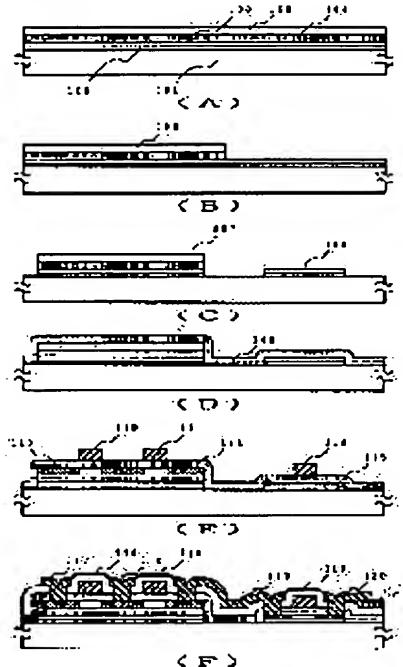
(72) Inventor : KOBORI ISAMU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To control crystallinity and to easily form two types of TFT by altering a process to a minimum limit by specifying a thickness of one active layer and a thickness of an active layer of the other thin film transistor in an integrated circuit having two polysilicon thin film transistors on the same substrate.

CONSTITUTION: A first base oxide film 102 and a first amorphous silicon film 103 are deposited on a substrate 101. A second silicon oxide film 104 and a second amorphous silicon film 105 are deposited on the film 103. Then, a second silicon oxide film 107 and a second amorphous silicon 106 remains only on a peripheral circuit region, and the film 103 is exposed on the other region. An insular region 108 is formed on the exposed part, and crystallized by hot annealing at 450°C. Thus, two types of TFT having a thickness of one active layer of 70nm or less and the other of 70nm or more can be formed.



LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3173747

[Date of registration] 30.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평06-125084호(1994.05.06) 1부

[첨부그림 1]

(19)日本特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 等待出閘公鎖母號

特開平6-125084

(4) 公開日 平成6年(1994)8月8日

(5)登録記号	特許登録番号	P.I.	技術表示箇所
H 01 L 29/784			
G 02 F 1/136	5-0-0	9018-2K	
H 01 L 27/148			
	9050-4M	H 01 L 29/78	3.1.1. C
	7210-4M	27/14	C
		審査請求・未审求・請求項の数: 6(全 10 頁)	最終頁に記入
(21)出願番号	特願平4-297851	(71)出願人	000153378 株式会社半導体エレクトロニクス研究所 神奈川県厚木市長谷339番地
(22)出願日	平成4年(1992)10月9日	(72)発明者	小畠 真 株式会社半導体エレクトロニクス研究所内

(54) 【発明の名称】 半導体装置およびその製造方法

[目的] 痘状鉛錆ゲイツ型半導体装置を用いて、ダイナミック駆動をおこなう音楽回路の最適な構成および各部を最適化する。(作成者) 関原洋一郎 **[概要]** 音楽錆ゲイツ型トランジスタを有するダイナミック回路を構成する際に、リード電極の小さな TFT を形成するために、活性層の厚さを 7.0 nm 以下とし、しかも、その他の高機能動作を要求される TFT では、活性層の厚さを 7.0 nm 以上とする。



[첨부그림 2]

[特許請求の範囲]

【請求項1】 同一基板上に少なくとも2つのポリシリコン遮断ドランジスタを有する実験回路において、
ポリシリコン遮断ドランジスタの活性層は4.5 nm以上の
熱アニールによって結晶化され、

そのうちの少なくとも1つのポリシリコン遮断ドランジ
スタはその活性層の厚さが7.0 nm以下であり、他のポ
リシリコン遮断ドランジスタの活性層の厚さは7.0 nm
以上であることを特徴とするポリシリコン遮断ドランジ
スタ実験回路。

【請求項2】 同一基板上に少なくとも2つのポリシリ
コン遮断ドランジスタを有する実験回路において、
ポリシリコン遮断ドランジスタの活性層は4.5 nm以上
の熱アニールによって結晶化されたことと、
そのうちの少なくとも1つのポリシリコン遮断ドランジ
スタはその活性層の下に厚さ5.0 nm以上の绝缘膜をは
さんで、特記活性層とは異なる厚さの別の実質活性層
がシリコン層を有することを特徴とするポリシリコン遮
断ドランジスタ実験回路。

【請求項3】 同一基板上に形成された複数の電界トラン
ジスタによって構成されたイメージセンサーの駆動回
路において、

複数トランジスタの活性層は4.5 nm以上の熱アニール
によって結晶化されたことと、

信号出力端の複数トランジスタの活性層の厚さが7.0 n
m以下であることと、

他の複数トランジスタの活性層の厚さが7.0 nm以上で
あること、とを特徴とするイメージセンサー。

【請求項4】 複数トランジスタによって構成されたア
クティブライドクリスチルとその駆動回路を同一基板上に
有する液晶ディスプレード面において、複数トランジ
スタの活性層は4.5 nm以上の熱アニールによって結晶化
されたことと、

アクティブライドクリスチルを構成する複数トランジスタの活
性層の厚さが7.0 nm以下であることと、

周辺回路を構成する複数トランジスタの活性層の厚さが
7.0 nm以上であること、とを特徴とする液晶ディスプレー。

【請求項5】 電線表面上に形成された複数トランジ
スタを有する半導体メモリー装置において、
その駆動回路およびメモリー素子領域は、活性層が4.5
nm以上の熱アニールによって結晶化された複数トラン
ジスタによって形成され、

各複数トランジスタのゲート電圧がヒット後に、その不
対称領域（ソース、トライアイン）の一方がワート隣に接続
され、他の不対称領域はチャバシタに接続されたことを
特徴とする半導体メモリー装置において、

メモリー素子領域の複数トランジスタの活性層の厚さが
7.0 nm以下であることと、
周辺回路を構成する複数トランジスタの活性層の厚さが

7.0 nm以上であること、とを特徴とする半導体メモリ
ー装置。

【請求項6】 電線表面上にアモルファスもしくはそれ
と同等な低い結晶性を有する第1の半導体被膜を形成す
る工程と、

前記半導体被膜上に厚さが1.00 nm以上の格子膜を形
成する工程と、

前記格子膜上に、第1の半導体被膜とは厚さが異なり、
アモルファスもしくはそれと同等な低い結晶性を有
する第2の半導体被膜を形成する工程と、第2の半導体
被膜およびその下の格子膜を除去して、第1の半導体被
膜が露出した傾斜を形成する工程と、

4.5 nm以上の熱アニールによって、前記第1および第
2の半導体被膜を結晶化せしめる工程と、

前記半導体をバーニングして直角のV字状傾斜を形成す
る工程と、

前記V字状傾斜にゲート電極を設ける工程と、
前記V字状傾斜に選択的に、あるいは自己配置的に不純物
を導入して不純物領域（ソース、ドレイン）を形成する
工程などを有することを特徴とする複数トランジスタ実験
回路の作製方法。

【000-1】

【発明の詳細な説明】 本発明は実験回路とその作製方法
に関する。具体的には、液晶表示装置やダイナミックR
AM (DRAM) のように、マトリックス構造を有し、ス
イッチング素子としてMOS型もしくはMIS型(金属-
酸緯体-半導体)型電界効応型素子(以上を、MOS型
素子と呼ぶ)を有し、ダイナミックな動作をおこな
うことを特徴とするマトリックス構造(電子光学表示裝
置、半導体メモリー装置を含む)、およびそのための駆
動回路、あるいはイメージセンサーのような実験化され
た駆動回路を有する半導体回路に関する。特に本発明
は、MOS型素子として使用する面上に形成された複数半
導体トランジスタ等の複数半導体素子を使用する装置に
関し、複数トランジスタの活性層がポリシリコンより形
成されたポリシリコン遮断トランジスタを有する装置に
関する。

【000-2】

【従来の技術】 最近、結晶基板上に、複数の活性層、
活性層とモード層(以下、活性層とモード層という)を有する複数ゲート型の半導体被
膜の研究がなされている。特に、複数の活性層とモード層
を有する複数ゲート型トランジスタ(TFT)が熱
的に研究されている。これらは、透明な絶縁基板上に形
成され、マトリックス構造を有する液晶等の表示装置にお
いて、各画素の駆動用に利用すること、あるいは同じく
複数の活性層とモード層を有するイメージセンサーの駆動回路に
利用することが目的であり、利用する半導体の材料、半
導体回路によって、アモルファスシリコントーク、やポリシリ
コン(多晶シリコンともい)、TFTというように、

区別されている。

【0.0.0.3】もっとも、最近ではポリシリコンアモルファスの中間的な状態を呈する材料も利用する研究がなされている。中間的な状態については既論がなされているが、本明細書では、向らが熱的プロセス（例えば、450°C以上の温度での熱アニールやレーザー光等の持力エネルギーを阻害すること）によって何らかの結晶状態に達したものを全てポリシリコンと称することとする。

【0.0.0.4】また、単結晶シリコン実験回路においても、いわゆるSOI技術としてポリシリコンTFTが用いられており、これは例えば高密度DRAMにおいて、負荷トランジスタとして使用される。但し、この場合には、アモルファスシリコンTFTはほとんど使用されない。

【0.0.0.5】さらに、绝缘基板上の半導体回路では、基板と配線との寄合結合がないため、非常に高速動作が可能であり、超高速マイクロプロセッサーや超高速メモリーとして利用する技術が研究されている。

【0.0.0.6】一般にアモルファス半導体の電界効率は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界効率は著しく小さいので、Pチャネル型のTFT（PMOSのTFT）を作製することができず、したがって、Nチャネル型TFT（NMOSのTFT）と組み合わせて、相補型のMOS回路（CMOS）を形成することができない。

【0.0.0.7】しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、マトリックス回路の小さな液晶ディスプレーのアクティブマトリックスのトランジスタのように、それほどの高速動作が要求されず、一方の電極型だけ十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利用されている。しかしながら、より高度な応用、例えば、大規模マトリックスの液晶ディスプレーにはアモルファスシリコンTFTを利用することは困難であった。また、自然のことながら、高速動作が要求されるディスプレーの周辺回路やイメージセンサーの駆動回路には利用できなかった。また、同じくマトリックス構成であるとはい、半導体メモリー技術を利用してすることも困難であった。

【0.0.0.8】一方、多結晶半導体は、アモルファス半導体よりも電界効率が大きく、したがって、高速動作が可能である。例えば、レーザーハニールによって多結晶化されたシリコン膜を用いたTFTでは、電界効率として $300 \mu\text{A}/\text{m}^2/\text{V}$ をもつものが得られている。通常の多結晶シリコン基板上に形成されたMOSトランジスタの電界効率が $50 \mu\text{A}/\text{m}^2/\text{V}$ 程度であることがからすると、極めて大きな値であり、多結晶シリコン上のMOS回路が基板と配線との寄合結合によって、動作速度

が制限されるのに対して、绝缘基板上であるのでそのような制約は無く、新しい高速動作が期待されている。

【0.0.0.9】また、ポリシリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリックス方式の液晶表示装置においては、アクティブマトリックス部分のみならず、周辺回路（ドライバー等）をもCMOSの多結晶TFTで構成する、いわゆるモノリシック構造を有するものが知られている。前述のSRAMに使用されるTFTもこの点に注目したものであり、PMOSをTFTで構成し、これを負荷トランジスタとしている。

【0.0.1.0】また、通常のアモルファスTFTにおいては、单結晶ITO技術で使用されるようなセルフラインプロセスによってソース/ドレイン領域を形成することは困難であり、ゲート電極とソース/ドレイン領域の埋向字的な重なりによる寄合結合が問題となるのにに対し、ポリシリコンTFTはセルフラインプロセスが採用できるため、寄合結合が着しく抑えられるという特徴を持つ。

【0.0.1.1】しかしながら、ポリシリコンTFTはゲートに電圧が印加されないと（非選択時）のリーキ電流がアモルファスシリコンTFTに比べて大きく、液晶ディスプレーで使用するには、このリーキ電流を抑止するための補助電極を設け、さらにTFTを2段直列にしてリーキ電流を消すという手段が講じられた。

【0.0.1.2】又え、アモルファスシリコンTFTの高いOFF抵抗を利用して、なおかつ、同一基板上にモノリシックに高い移動度を有するポリシリコンTFTの周辺回路を形成しようとすれば、アモルファスシリコンを形成して、これに選択的にレーザーを照射して、周辺回路のみを結晶化せしめるという方法が検索されている。

【0.0.1.3】しかしながら、現在のところ、レーザー照射プロセスの信頼性の問題（例えば、四射エネルギーの面内均一性が悪い等）から着手が低く、また、アクティブマトリックス領域には移動度の低いアモルファスシリコンTFTを使用することになるので、より高度な利用は困難であった。レーザー照射プロセスについては、より信頼性が高く、コストの低い熱アニールが望まれた。また、製品の付加価値を高める意味から最低でもTFTの移動度は $50 \mu\text{A}/\text{m}^2/\text{V}$ が望まれた。

【0.0.1.4】【発明が解決しようとする課題】本発明はこのような問題に對して開拓をえんと/orするものであるが、そのためのプロセスが複雑化し、手数り低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTFTと底リーキ電流が要求されるTFTとを2種類のTFTを各自別のプロセスの変更によって、専用性を維持しつつ、各自に作り分け

[첨부그림 4]

ることにある。

【0.0.1.5】

【問題を解決する方法】本発明の適用される半導体回路は普通的なものではない。本発明は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用して対向する電極との間にこれらの材料をはさみ、対向電極との間に境界をかけて、画面表示をおこなうためのアクティブラチクス回路や、DRAMのようなキャパシタに電荷を蓄積することによって記憶情報を保持するメモリー装置や、同じくMOSトランジスタのMOS構造部をキャパシタとして、あるいはその他のキャパシタによって、次段の回路を駆動するダイナミックシフトレジスタのようなダイナミック回路を有する回路、さらには、イメージセンサーの駆動回路のようなデータ回路などアナログ的な信号出力を制御する回路などを有する回路等に適している。特に、ダイナミック回路とスタートアップ回路の組合された回路に適した発明である。

【0.0.1.6】従来、高い移動度のTFTを作るために、活性層の結晶性を高めることが必要とされた。そのためには、結晶化温度を800°C以上に高めることが有効であったが、そのような条件では使用に耐える基板が苦しく制约されてしまうので、現実的な方法ではない。一方、活性層の厚さを7.0nm以上、好みしくは10.0nm以上とすることによって結晶性が向上することが実現された。逆に、活性層の厚さが7.0nm以下、典型的には5.0nm以下のものでは、結晶性は良くなくなつた。

【0.0.1.7】本発明はこのような、活性層の厚さによって結晶性が制御できることに注目し、この性質によって必要な特性を有するTFTを同一基板上に得ることを特徴とする。

【0.0.1.8】例えば、活性層の結晶化を550~750°Cでおこなった場合、活性層の厚さが10.0nmのTFTでは、NMOS、PMOSの電界移動度は、それぞれ、3.0~8.0cm²/Vs、2.0~6.0cm²/Vsであったが、活性層の厚さが5.0nmのものでは、NMOS、PMOSの電界移動度は、それぞれ、1.0~3.0cm²/Vs、1.5~2.0cm²/Vsと低下した。このことは、活性層の厚さによって結晶化に違いがあることと一致する。

【0.0.1.9】しかしながら、さらに興味深いことに、このような活性層の厚さの違いによって、リード電極も異なることが見受けられた。その様子は図1に示されている。図1において、「(A)」はMOSの、「(B)」はNMOSの特性をそれぞれ示し、また、「(C)」は活性層の厚さが10.0nmのもの、および「(D)」は活性層の厚さが5.0nmのものを示している。図から明らかのように、NMOS、PMOSとも、活性層の厚さが5.0nmのTFTの方が、10.0nmのものよりも6.1~3倍程度大きい。本発明の研究によれば、このような効果は活性層

の厚さが7.0nmの前後で、極めて劇的に変化が生じることが明らかになった。

【0.0.2.0】本発明は、この特性を利用したもので、高移動度が要求されるTFTにおいては、活性層の厚さを7.0nm以上、好みしくは10.0nm以上とする一方、移動度よりも低いリード電流が要求されるTFTでは、活性層の厚さを7.0nm以下、好みしくは5.0nm以下となるように、同一基板上に厚さの異なる実質的なシリコン層を2層もしくはそれ以上積層し、深いシリコン層を前者のTFTの活性層とし、浅いシリコン層を後者のTFTの活性層とする。この際には、これらのシリコン層の間に、厚さ1.0.0nm以上の絶縁膜を形成することが望まれる。絶縁膜の材質としては酸化珪素が適している。

【0.0.2.1】本発明の別の方法は、上記のように2層のボリシリコン層を形成するかわりに、シリコン層において、厚さの異なる領域を形成し、シリコン層の厚い領域には、高移動度のTFTを形成し、薄い領域には低リード電流のTFTを形成する。このようなシリコン層の厚さを場所によって変えるには、シリコン層の堆積を2段階に分けておこなうか、堆積したシリコン層を選択的にエッチングすればよい。

【0.0.2.2】本発明においては、活性層は450°C以上の熱アーナーによって、高移動度TFTと低リード電流TFTの双方の活性層の結晶化をおこなう。ここで、熱アーナーを用いるのは、様子において保てているからである。なお、熱アーナーの工程は、ゲート電極が形成された後でも、ソース/ドレインが形成された後でも構わない。

【0.0.2.3】熱アーナーの温度は、基板やその他の材料によって制約を受ける。基板材料の制約に関しては、シリコンや石英を基板として使用した場合には、最高1.100°Cの熱アーナーまで可能である。例えば、典型的な無アルカリガラスであるコニンクリーの7.050ガラスの場合には、550°C以下の温度でのアーナーが望ましい。しかし、本発明では、基板以外に、各TFTにおいて必要とされる特性を考慮して設定されなければならぬ。一般に、アーナー温度が高ければ「(A)」の結晶成長が速く、移動度が高くなるとともに、リード電流が増大する。したがって、本発明のとき、同一基板上に異なる特性のTFTを得るには、アーナーの温度は、450~800°C、好みしくは550~750°Cとすべきである。

【0.0.2.4】本発明の1つの例は、液晶等のアクティブラチクス回路の表示部分において、ボリシリコンTFTをスイッチングトランジスタとして用い、アクティブラチクス回路のTFTの活性層の厚さを7.0nm以下、好みしくは10~50nmとし、一方、周辺回路に使用されるTFTの活性層の厚さを、7.0nm以上、好みしくは10.0~30.0nmとすることである。

[参考図 5]

【0.0.2.5】前記のような表示回路部（アクティブマトリクス）とその駆動回路（周辺回路）とを有する装置において、駆動回路をCMOS回路とすることが必要ない。この場合、回路の全てがCMOSである必要はないが、トランジスタミキシングガイドやインバータ回路はCMOS化されるのが望ましい。そのような装置の概念図を図2（A）に示した。図には绝缘基板7上にデータドライバー1とゲートドライバー2が構成され、また、中央部にTFTを有するアクティブマトリクスが構成され、これらのドライバ部とアクティブマトリクスがガイド線5、データ線6によって接続された表示装置が示されている。アクティブマトリクスはNMOSあるいはPMOSのTFT（回路ではPMOS）を有する像素セル4の集合体である。

【0.0.2.6】ドライバ部のCMOS回路に関しては、高稼働率を得るために活性層における陥落や空洞、反応等の不純物の濃度は 10^{18} cm^{-3} 以下、好ましくは 10^{17} cm^{-3} 以下とすることが望まれる。その結果、例えば、TFTのしきい値電圧は、NMOSでは $0.5 \sim 2 \text{ V}$ 、PMOSでは $-1.0 \sim -5 \text{ V}$ 、さらには駆動層は、NMOSでは $3.0 \sim 4.5 \text{ V}/\text{s}$ 、PMOSでは $2.0 \sim 1.0 \text{ V}/\text{s}$ であった。

【0.0.2.7】一方、アクティブマトリクス部においては、リード電圧が、トレイイン電圧 1 V で $1 \mu\text{A}$ 程度の小さな電子を単独もしくは複数直列にして用いることによって、補助容量を小さくすることができ、さらには全く不必要とすることが可能である。

【0.0.2.8】本発明の2つの例はDRAMのような半導体メモリーに関するものである。半導体メモリー装置は、单晶品10では既に速度の限界に達している。これ以上の高速動作をおこなわせるには、トランジスタの電極容量をより大きくすることが必要であるが、それは消費電流の一倍の増加の原因になるばかりではなく、特にキャパシタに電荷を充電することによって駆動回路をおこなうDRAMに関しては、キャパシタの容量をこれ以上、最大できない以上、駆動電圧を上げることによって対応するしか方法がない。

【0.0.2.9】单晶品10が速度の限界に達したといわれるには、一つには基板と配線の容量によって駆動回路をおこなうDRAMに関しては、キャパシタの容量をこれ以上、最大できない以上、駆動電圧を上げることによって対応するしか方法がない。

【0.0.2.10】DRAMにおいては、1 TFT/1セル構造の場合には、先の液晶表示装置と同様構成がほとんど同じであり、それ以外の前述のDRAM（例えば、3 TFT/1セル構造）でも、記憶ビット部のTFTに本発明の活性層の厚さが 7.0 nm 以下、好ましくは $10 \sim 50 \text{ nm}$ のリード電圧の小さいTFTを使用する。一方、その駆動回路は十分な高速動作を必要とされるので、前記の液晶

表示装置と同様に、活性層の厚さが 7.0 nm 以上、好ましくは $10.0 \sim 30.0 \text{ nm}$ のTFTを用い、また、消費電力を抑制する目的からは同様にCMOS化することが望ましい。

【0.0.3.1】このような半導体メモリー装置においても、基本的な構成は図2（A）のものと同じである。例えば、DRAMにおいては、1がコラムコーダー、2がクローラーコーダー、3が記憶素子部、4が単位記憶ビット、5がピット線、6がワード線、7が（絶縁）基板である。

【0.0.3.2】本発明の第3の応用例は、イメージセンサー等の駆動回路である。図2（B）には、イメージセンサーの1ビットの回路例を示したが、図中のフリップ・フロップ回路8およびパッファ回路9は、通常、CMOS回路によって構成され、走査線10印加される高速パルスによってできるだけの高速の応答が要求される。一方、その信号出力部のTFT 10は、フォトダイオードによってキャパシターに蓄積された電荷をソフト・レジスタ部9から信号によって、データ線に放出するダメの役目を負っている。

【0.0.3.3】このようなTFT 10には、高速な応答をすることながら、リード電流の少ないことも要求される。したがって、このような回路において、回路9、8のTFTの活性層の厚さは 7.0 nm 以上、好ましくは $10.0 \sim 30.0 \text{ nm}$ とすることが望まれる。一方のTFT 10においては、活性層の厚さは 7.0 nm 以下、好ましくは $1.0 \sim 5.0 \text{ nm}$ であることが望まれる。この場合、TFT 10においてはリード電流と移動度がその目的に合致するように活性層の厚さを最適化しなければならないことは言うまでもない。

【0.0.3.4】

【実施例】

【実施例1】図3に本実施例を示す。本実施例は、TFT型液晶表示装置の駆動回路およびアクティブマトリクス類似にポリシリコンTFTを形成したものである。

【0.0.3.5】まず、ヨーニング $0.5 \sim 1.0 \text{ nm}$ 上に、スパッタ法によって第1の下地酸化膜10.2を厚さ $2.0 \sim 2.0 \text{ nm}$ 堆積した。さらに、その上にモノシリコンもしくはシリコンを原料とするプラスチックもしくは汎用CVD法によって、第2のアモルファスシリコン膜10.3を厚さ $3.0 \sim 5.0 \text{ nm}$ 堆積した。このときに、アモルファスシリコン膜中の陥落および空洞の濃度は 10^{18} cm^{-3} 以下、好ましくは 10^{17} cm^{-3} 以下とする。この目的には汎用CVD法が適している。本実施例では、陥落濃度は 10^{17} cm^{-3} 以下とした。このアモルファスシリコン膜10.3の上に再びスパッタ法によって第2の酸化硅藻膜（厚さ $1.0 \sim 1.5 \text{ nm}$ ）10.4を形成した。さらに、同様な手順によって、第2のアモルファスシリコン膜10.5を堆積した。この様子を図3（A）に示す。

[첨부그림 6]

【0.03.6】その後、図3(B)に示すように、周辺回路領域のみを残して、他の第2のアモルファスシリコン膜を除去した。そして、残ったアモルファスシリコン膜1.06をマスクとして、第2の酸化銀膜1.04を焼去し、結局、周辺回路領域のみに第2の酸化銀膜1.07および第2のアモルファスシリコン膜1.06を残し、他の領域は第1のアモルファスシリコン膜1.03を露出せしめた。

【0.03.7】さらに、図3(C)に示すように、TFTを形成する島状の領域1.08(周辺回路用)および1.09(マトリクスTFT用)を形成した。そして、図3(D)に示すようにスパッタ法等の手段によってゲート酸化膜1.10を形成した。スパッタ法の代わりに、TEOS(テトラエトキシシラン)等を用いて、プラスチックVD法によって成膜してもよい。特に本実施例では、島状領域の厚さが大きいので、ステップカバレージのよい成膜方法が必要とされるが、TEOSを使用した成膜はこの目的に適している。ただし、この場合には、成膜時あるいは成膜後に600°C以上の温度で0.5~3時間アニールすることが望ましい。

【0.03.8】その後、図3(E)に示すように、厚さ2.00nm-SiunのN型シリコン膜をLPCVD法によって形成して、これをバーニングし、各島状領域にゲート電極1.11~1.13を形成した。N型シリコン膜の代わりに、タンタル、クロム、チタン、タンゲステン、モリブデン等の比較的耐熱性の良好的な金属材料を使用してもよい。

【0.03.9】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲート電極部をマスクとして自己整合的に不純物を注入した。この際には、最初に全国にフォスフィン(PH₃)をドーピングガスとして導入し、その後、図の島状領域1.08の右側およびマトリクス領域をフォトレジストで覆って、ジボラン(B2H6)をドーピングガスとして、島状領域1.08の左側に要素を注入した。ドーピング量は、底面2~8×1.015cm⁻²、表面は4~1.0×1.015cm⁻²とした。図中のドース量が底を上回るようになって、

【0.04.0】3日に、5.50~7.50mで2~2.4時間アニールすることによって、結晶化をおこなった。本実施例では、6.00mで2.4時間熱アニールをおこなった。このアニール工程によって、イオンの注入された領域のみならず、それまでアモルファス状態であったゲート電極の下にある活性層も結晶化せしめることができた。しかしながら、島状領域1.08の活性層は1.00~1.50nmと、マトリクス領域1.09のもの(厚さ3.0~5.0nm)より薄いので、前者の良品性の方が良好であった。以上の工程によって、P型の領域1.14、およびN型の領域1.15、1.16が形成された。これらの領域のシート抵抗は2.00~9.0.0Ω/□であった。

【0.04.1】その後、図3(F)に示すように、全面に

周辺銀膜1.17として、スパッタ法によって酸化銀膜を厚さ3.00~1.000nm形成した。これは、プラスチックVD法による酸化銀膜であってもよい。特に、TEOSを原料とするプラスチックVD法ではステップカバレージの良好な酸化銀膜が得られる。

【0.04.2】その後、画面電極1.22として、スパッタ法によってTTO膜を形成し、これをバーニングじた。そして、TFTのソース/ドレイン(不純物注入)にコンタクトホールを形成し、クロム配線1.19~1.21を形成した。図3(F)には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。記録118~121は、シート抵抗を下げるためのクロムあるいは酸化チタンを下地とするアルミニウムとの多層記録であってもよい。最後に、水素中で350°Cで2時間アニールして、シリコン活性層のタンクリングボンドを加熱した。以上の工程によって周辺回路とアクティメトリクス回路を一体化して形成できた。本実施例では、厚さの異なる2層のシリコン膜を堆積することによって、2種類のTFTを形成することができたが、同時に3種類の厚さの異なるシリコン膜を形成して、3つの特性の異なるTFTを形成することも可能であり、さらに多くの種類のTFTを同一基板上に形成することも可能である。

【0.04.3】(実施例2) 図4に本実施例を示す。本実施例は、アモルファスシリコンのPIN接合を利用したイメージセンサーの駆動回路(CMOSロジック部およびサンプル&ホールド(SH)部)にポリシリコンTFTを形成したものである。

【0.04.4】まず、コーニング7-059基板201上に、スパッタ法によって下地酸化膜202を厚さ2.0~2.200nm堆積した。さらに、その上にモノシリランもしくはシランを原料とするプラスチックVD法もしくは湿式CVD法によって、アモルファスシリコン膜203を厚さ1.50~2.50nm堆積した。このときには、アモルファスシリコン膜中の酸素および空素の濃度は1.018~1.019以下、好ましくは1.017~m⁻²以下とする。この目的には湿式CVD法が適している。本実施例では、酸素濃度は1.017~m⁻²以下とした。そして、このアモルファスシリコン膜を選択的にエチチングして、厚さ約2.04~2.04(エッチングされない部分で、厚さは1.50~2.00nm、CMOS回路に使用する。)と選ぶ。領域205(エッチングされた部分で、厚さは3.0~5.0nm、SH部に使用する。)を形成した。この様子を図4(A)に示す。

【0.04.5】このような、エッチングを使用する方法の代わりに、島状に厚さ3.0~5.0nmのアモルファスシリコン膜を形成し、これにフォトレジストを堆積してバーニングし、さらに、シリコン膜を重ねて厚さ3.0~1.70nm堆積した後、リフトラフ法によって、エチチングされた領域のシリコン膜を除去してもらひ。

[0046] 次に、600°Cで2~4時間アニールすることによって、アモルファスシリコン膜の結晶化をおこなった。その後、これらのS1膜を島状にパターニングし、例えば、図4(B)のように、CMOS回路構成206とSHのTFT領域207を形成した。さらに、図4(C)に示すように、これら島状構成を覆って、スパッタ法によって酸化珪素膜(厚さ3.0~15.0nm)を形成し、これをゲート電極膜208とした。その後、厚さ2.0~0.0nm~5.0nmのクロム膜をスパッタ法によって形成して、これをパターニングし、島状構成にゲート電極209~211を形成した。

[0047] その後、図4(D)に示すように、イオンドーピング法によって、も TFT の島状シリコン膜中に、ゲート電極部をマスクとして自己結合的に不純物を注入した。この段階には、最初に全面にフォスフィン(PH₃)をドーピングガスとして導入注入し、その後、島状構成206の左側のみをフォトレジストで覆って、ジボラン(B2H₆)をドーピングガスとして、島状構成206の左側と島状構成207に由来を注入した。ドース量は、島は2~8x10¹⁵cm⁻²、埋柵は4~10x10¹⁵cm⁻²とし、埋柵のドース量が島を上回るよう二段定義した。

[0048] ドーピング工程によって、シリコン膜の結晶性が破壊されるが、そのシート抵抗は1~10kΩ/□程度とすることも可能であった。しかし、この程度のシート抵抗では大きすぎる場合には、さらに、600°Cで2~2~4時間アニールすることによって、より、シート抵抗を低下させることができある。また、レーザー光の如き強光を照射することによっても同様の降低が得られる。

[0049] 以上の工程によって、N型の領域212、およびP型の領域213、214が形成された。これらの領域のシート抵抗は200~8000Ω/□であった。その後、全面に層間絶縁物215として、スパッタ法によって酸化珪素膜を厚さ3.0~15.0nm形成した。これは、プラズマCVD法による酸化珪素膜であつてもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレージの良好な酸化珪素膜が得られる。

[0050] その後、TFTのソース/ドレイン(不純物領域)にコントラクトホールを形成し、アルミ配線216~219を形成した。図4(E)には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。最後に、水浴中で950°Cで2時間アニールして、シリコン膜のダンクリングポイントを出した。以上の工程によってイメージセンサーの駆動回路において、CMOS回路構成とSH構成を同一基板上に同時に一体化して形成できた。イメージセンサーを完成させることには、この後に、アモルファス先電電子を形成すればよい。

[0051]

【発明の効果】以上の説明からも明らかのように、本発明は、従来のポリシリコントFTの作製プロセスにおいて、TFTの活性層となるシリコン層の厚さ変更するという、最小の変更によって、課題を解決することができた。

【0052】本発明によって、特にダイナミックな回路、およびそのような回路を有する装置の信頼性と性能を高めることができた。従来、特に液晶表示装置のアクティブラトリックスのような目的に対してはポリシリコントFTはON/OFF比が低く、実用化にはさまざまな困難があつたが、本発明によってそのような問題はは解決されたと思われる。さらに、実施例2に示したように、基板上のイメージセンサーの駆動回路にも利用できる。実施例では示さなかったが、単結晶半導体駆動回路の立体化の手段として用いられるTFTにおいても本発明を実施することによって効果を挙げられることは明白であろう。

【0053】例えば、駆動回路を单結晶半導体上の半導体回路で構成し、その上に層間絶縁物を介してTFTを設け、これによってメモリー系子部を構成することができる。この場合には、メモリー系子部を本発明のPMOSのTFTを使用したDRAM回路とし、その駆動回路は單結晶半導体回路にCMOS化されて構成されている。しかも、このような回路をマイクロプロセッサーに利用した場合には、メモリー部を2倍に上げることになるので、面積を節約することができる。このように本発明は走査线上、極めて有益な発明であると考えられる。

【図面の袖及び発明MOSSのTFTのゲート電圧ードライン電流特性を示す。

(B) NMOSのTFTのゲート電圧ードライン電流特性を示す。

(C) NPNのゲート電圧(VG)、駆動電圧(VD)

(D) (A) 本発明をアクティブラトリックス範囲に応用した組合のブロック図を示す。

(E) 本発明をイメージセンサーの駆動回路に応用した組合の回路例を示す。

(F) 実施例の工程を示す。

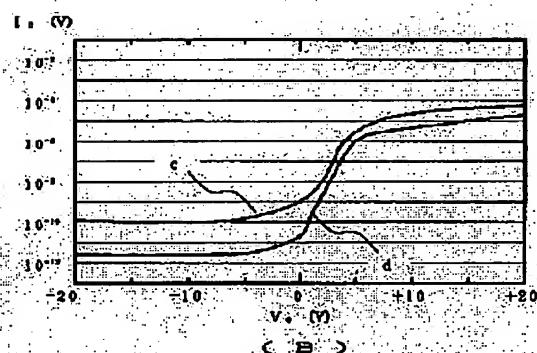
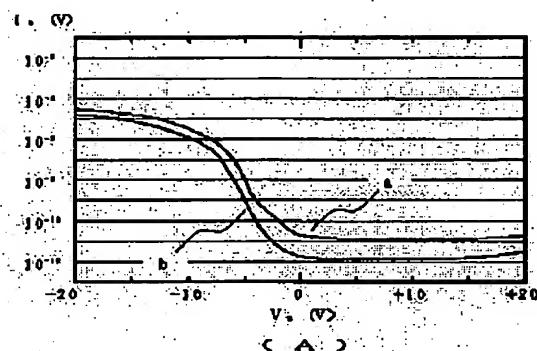
(G) 参考記号の説明

101	基板
102	第1の下地絶縁膜
103	第1のアモルファスシリコン膜
104	第2の酸化珪素膜
105	第2のアモルファスシリコン膜
106	積み重ねた第2のアモルファスシリコン膜
107	積み重ねた第2の酸化珪素膜
108	島状半導体領域(周辺回路用)

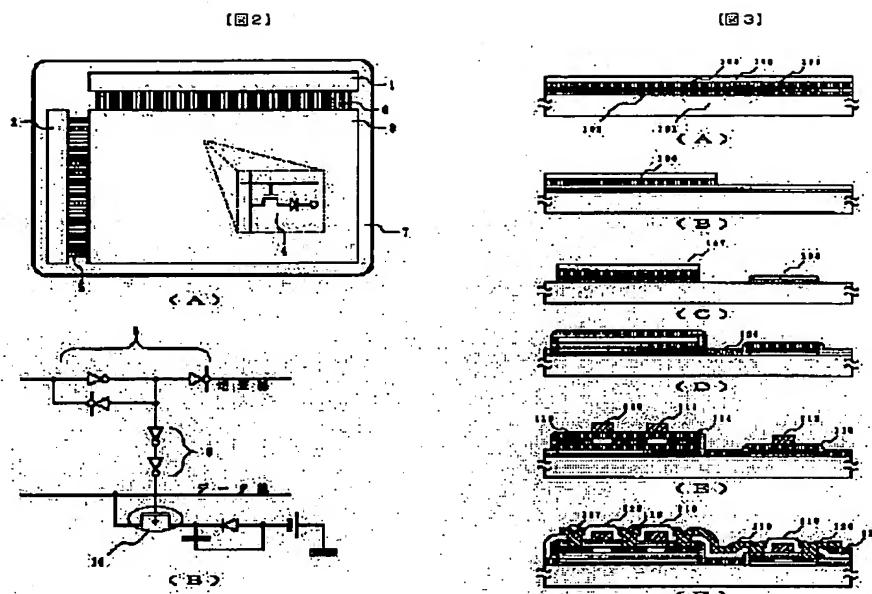
[첨부그림 8]

1109	島状半導体領域 (マトリクス用)	115, 116	N型不純物領域
1110	ゲート絶縁膜	117	層間絶縁物
1111	ゲート電極 (PTFT用)	118~121	金属配線
1112	ゲート電極 (NTFT用)	122	遮光電極 (ITO)
1113	ゲート電極 (アクティマトリクス)		
FT用			
1114	P型不純物領域		

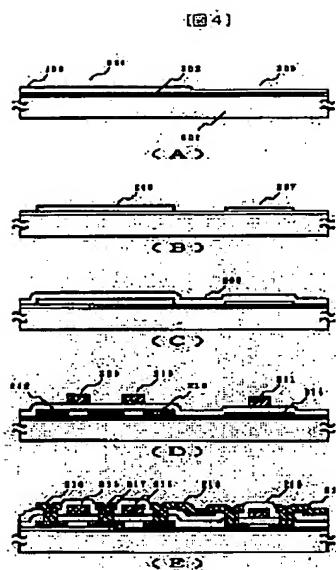
(図1)



[첨부그림 9]



[첨부그림 10]



フロントページの記述

(S)Incl.C1.3
HO1L 21/396

識別記号 序内整理番号

9056-4M HO1L 29/76

F1

技術表示箇所

311 Y

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.